

上件電路板網路測試優化

研究生: 戴丞鈞

指導教授: 蔡啟揚 博士

元智大學 工業工程與管理研究所

摘要

近年受到新冠肺炎疫情、戰爭與資源管控，對全球貿易與工作型態的影響與改變，在通訊基礎建設、新創科技、5G 與網路電商等改變了過往的溝通與運作，由其在半導體、高階資通訊產品如何伺服器、5G 基地台等相關的上件電路板需求更為顯著的成長。

半導體、高階資通訊產品的尺寸縮小與輕量化，印刷電路板的線距、線寬、板厚與主被動元件的尺寸皆會因上述要求更加密集與縮小，製作完成後上件電路板使用過往的功能驗證測試(FVT)或為功能測試(FCT)檢驗，網路、元件與元件功能的測試涵蓋率、驗證與問題的查找和排除將成為各大廠的課題。

國內部分廠商已導入電性測試(ICT)或製造缺陷分析(MDA)，發現測試涵蓋率可有效提昇，面臨量產時又需克服測試時間較長的問題，如何減少測試所需時間、測試誤判情形與測試漏失的風險和損失為本研究對象與範圍。本研究提出以頻率節點測試方式優化上件電路板網路絕緣測試的時間與減少測試誤判的發生。

關鍵字: 上件電路板、網路絕緣測試、頻率節點測試方式

